

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

End of Result Set

☐ [Generate Collection](#) [Print](#)

L1: Entry 1 of 1

File: JPAB

Mar 7, 1989

PUB-NO: JP401059961A

DOCUMENT-IDENTIFIER: JP 01059961 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: March 7, 1989

INVENTOR-INFORMATION:

NAME	COUNTRY
SUGA, TORU	
TOMIZAWA, YUTAKA	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	

APPL-NO: JP62217264

APPL-DATE: August 31, 1987

INT-CL (IPC): H01L 29/80

ABSTRACT:

PURPOSE: To eliminate a back gate effect or a side gate effect and improve the controllability and the intra-surface uniformity of a threshold voltage V_{th} by a method wherein an impurity with a conductivity type opposite to that of a channel layer is implanted into the part under the channel layer of a MES-FET and a high impurity concentration wiring layer and a control electrode brought into contact with the wiring layer are provided..

CONSTITUTION: An N-type channel layer 17 and a high impurity concentration N+ type drain layer 16a and a high impurity concentration N+ type source layer 16b which have the channel layer 17 between them are provided in the surface layer of a compound semiconductor substrate 13. Further, a P-type back gate effect suppressing layer 18 is provided directly beneath the channel layer 17 and a control electrode 20 which is brought into contact with the suppressing layer 18 through a P type wiring layer 19 is formed. In a MES-FET of this constitution, the potential of the back gate effect suppressing layer 18 is fixed to the potential of the drain and the current characteristics between the source and the drain near pinch-off are excellent and free from linear operation. Moreover, the back gate effect is hardly induced and the intra-surface uniformity of a threshold voltage V_{th} can be improved.

COPYRIGHT: (C)1989, JPO&Japio

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

⑫ 公開特許公報(A)

昭64-59961

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)3月7日

H 01 L 29/80

B-8122-5F

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭62-217264

⑯ 出 願 昭62(1987)8月31日

⑰ 発 明 者 須 賀 徹 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑱ 発 明 者 富 澤 豊 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 諸 田 英 二

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1 化合物半導体基板の表面層に、一導電型チャネル層と、これを挟む高不純物濃度の一導電型のソース層及びドレイン層とを有し、且つ前記基板の表面上に、前記チャネル層とショットキーバリアを形成するゲート電極と、前記ソース層及びドレイン層とそれぞれオーム接触をするソース電極及びドレイン電極とを有すると共に、前記チャネル層底下に反対導電型不純物を添加した第1の反対導電型層を設け、又前記基板表面上に高不純物濃度の第2の反対導電型層を介して第1反対導電型層とオーム接触をする制御用電極を設けたことを特徴とする半導体装置。

2 前記制御用電極とドレイン電極とを電気的に接続した特許請求の範囲第1項記載の半導体装置。

3 前記制御用電極とソース電極とを電気的に

接続した特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、化合物半導体からなるショットキーバリアゲート電界効果トランジスタ(Metal-Semiconductor-Field-Effect-Transistor、以下MES FETと呼ぶ)及びこれを含む半導体装置の構造に関するもので、特にGaAs MES FETのバックゲート効果抑制(Back Gate effect Suppression)等々に使用される構造に係るものである。

(従来の技術)

従来のGaAs MES FETの構造について、イオン注入法で作る場合の工程を併せ述べながら、第3図を参照して以下説明する。Cr等の不純物をドーブしない所謂無添加半絶縁性GaAs単結晶基板3上に化学堆積法(CVD法)によりSiO₂膜2を3000Å形成する。次にリソグラフィ工程により、ドレイン層6a及びソース層

6bの形成予定領域のSiO₂膜部分を湿式或いは乾式エッチングにより開口し、この開口よりシリコンイオンを注入する。次に同様の工程を繰り返して、NチャネルMES FETのチャネル層7の形成予定領域のSiO₂膜を開口し、この開口よりシリコンイオンを適当な加速電圧、ドーズ量で注入する(第3図(A))。SiO₂膜2、レジスト膜1を剥離した後、しかるべき処理を行う。次に稀釈アルシニングス(AsH₃)雰囲気中で熱処理することによりシリコン原子の電気的活性化を行い、ドレイン層6a、ソース層6b及びN型チャネル層7を形成する。次にリソグラフィ工程により電極パターンを形成した後、オーミック性電極として金・ゲルマニウム合金を蒸着し、リフトオフ工程によりドレイン電極4a及びソース電極4bを形成し、合金化工程によりソース層及びドレイン層とのオーム接触を得る。次にリソグラフィ工程によりショットキー電極パターンを形成し、チタニウム、アルミニウムを連続蒸着し、リフトオフ工程によりショットキーバ

リヤゲート電極5を形成する(第3図(B))。

次に前述の様に作成したFETを第5図に示す回路にて動作させると、ショットキーバリアの空乏層の底がチャネル層の底に到達する即ちピンチオフするゲート電圧 V_0 。近傍での条件(I_0 の小さい条件)で、半導体パラメータ・アナライザで測定した I_0-V_0 特性が第4図(A)のような特性を示す。即ち V_0 の値が $V_{osc-begin}$ (非線形動作開始電圧)と $V_{osc-stop}$ (非線形動作停止電圧)との間では特性が非線形動作を示し、同一基板面内に作られた複数のMES FETのそれぞれの $V_{osc-begin}$ 又は $V_{osc-stop}$ の値が面で不均一であることが観測される。

(発明が解決しようとする問題点)

GaAs MES FETでは、前述のように半導体パラメータ・アナライザで測定したソース・ドレイン間の I_0-V_0 特性が、 V_0 の値によっては非線形動作をするが、これはMES FETの実用上、あるバイアス条件で雑音指数が悪くなることと関係があり、好ましくない問題点である。

又GaAs MES FETでは基板裏面或いはデバイス側面にバイアスを与えることによりドレイン電流 I_0 が変化する所謂バックゲート効果現象が知られている(参考文献 Christopher Kocot & Charles A. Stolte, IEEE TRANS. ELECTRON DEVICES, Vol. ED-29, 1982, P. P. 1059~1064)。この現象は複数素子の集積化を行った場合、近接する電極の電位によりMES FETの動作特性が影響を受けることとなり、問題である。

その上GaAs MES FETではオン・オフの論理振幅の幅が小さく、しきい値電圧(V_{th})の許容範囲は極めて狭い。しかしながら従来技術を用いてFETを作製した場合、素子の前記しきい値電圧(V_{th})をウェーハ内及びウェーハ間で所望の均一性を得よう制御することは非常に困難である。

本発明の目的は、化合物半導体のMES FETにおいて、 I_0-V_0 特性中の非線形動作を防止し、バックゲート又はサイドゲート効果を抑制

し、且つしきい値電圧 V_{th} の制御性、均一性を高めることのできる構造のMES FETを提供することである。

[発明の構成]

(問題点を解決するための手段と作用)

本発明は、化合物半導体からなるショットキーバリアゲート電界効果トランジスタにおいて、一導電型チャネル層の直下にチャネル層の導電型と反対の導電型となる不純物を添加した第1の反対導電型層(バックゲート効果抑制層と呼ぶ)を設け、且つこのバックゲート効果抑制層の電位を制御できるように高濃度の第2の反対導電型層(配線層と呼ぶ)を介してバックゲート効果抑制層とオーミック接続される制御用電極を基板主面上に設けたことを特徴とする半導体装置である。

この半導体装置を動作させる時には制御用電極には所定の固定した電圧が与えられるので、バックゲート効果抑制層は浮遊電位でない固定した電位となり、これによりバックゲート効果の抑制、 I_0-V_0 特性の非線形動作の解消、及びしきい

値電圧 V_{th} の均一性の改善が得られる。

制御用電極は、ドレイン、ソース及びゲートの各電極と電気的に分離された独立電極とし、バックゲート効果抑制層の電位を独立制御できるように設けられる場合、及びドレイン、ソース及びゲートの各電極のうちいずれか1つの電極と電気的に接続される場合がある。いずれの場合を選択するかは本発明のFETの周辺に集積される能動素子又は受動素子の配置とこれらの動作条件等によりあらかじめ決定される。

(実施例)

本発明の実施例を、半絶縁性GaAs基板からなるMES FETの1例について、図面を参照して以下説明する。

第1図(A)及び(B)は、このMES FETの構造を模式的に示すX-X線断面図及び平面図である。化合物半導体基板(GaAs基板)13の表面層にN型チャネル層17と、これを挟む高不純物濃度のN⁺ドレイン層16a及びN⁺ソース層16bとを有すると共に、チャネル層

成する。チャネル層形成条件はSi⁺⁺、加速電圧100 kV、ドーズ量 $3 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する(第2図(B)、(C)参照)。

次にリソグラフィ工程により、GaAs基板に導入するとアクセプターとなる不純物(C, Be, Mg, B等)をイオン注入する為の開孔を行う。P型不純物イオン、例えばボロンを該当FETの所望の領域(水平位置及び深さ位置)に最適なドーズ量でイオン注入する。例えば所望領域は、該当FETのソース層とドレイン層に挟まれるチャネル層直下のバックゲート効果抑制層形成予定領域18とこれと接続して配線層形成予定領域の一部となる領域19aで(第2図(D)、(E)参照)、ボロンを加速電圧400 kV、ドーズ量 $3 \times 10^{12} \text{ cm}^{-2}$ で注入する。

次にこのボロン添加層を制御電極に取り出すために、制御電極とオーム接触をする配線層19を形成する。リソグラフィ工程を経て、亜鉛イオンを加速電圧100 kV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ で注入する。第2図(F)及び(G)はこのイオ

ン注入領域を示す模式的な断面図と平面図で、図面を見易くする為、他のイオン注入領域の記載を省略した。

次にこのMES FETの製造方法の概要を第2図を参照して以下説明する。GaAs基板13にしかるべき前処理を施した後、CVD法により厚さ5000ÅのSiO₂膜12を基板上に形成する。次にレジスト膜11を塗布し、リソグラフィ工程によりドレイン層16a及びソース層16bを形成するため、所望の部分を開孔する。しかるべき前処理を施した後、シリコンイオンを加速電圧180 kV、ドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ 及び加速電圧100 kVドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ の2回にわたって注入する(第2図(A))。

次にレジスト膜11、SiO₂膜12を剥離した後、同様の工程を用いN型チャネル層17を形

成する。次にしかるべき前処理を施した後稀釈アルシ

ガス(AsH₃)雰囲気中にて850℃15分間の熱処理を施し、注入イオンの電気的活性化を行う。次にCVD法によるSiO₂膜形成、リソグラフィ工程、電極金属蒸着、リフトオフ工程を繰り返して、第1図(A)に示すようにドレイン電極14a、ソース電極14b及びドレイン電極と接続一体化した制御用電極20(以上例えば金、ゲルマニウム合金)を、又チャネル層17とショットキーバリアを形成するゲート電極15(例えばアルミニウム7000Å/チタニウム3000Å)をそれぞれ形成する。

この実施例のMES FETでは、バックゲート効果抑制層18の電位をドレイン電位に固定したものであるが、ピンチオフ近傍でのソース・ドレイン間電流特性は第4図(B)に示すように非線形動作のない良好な特性を示した。又バック

ゲート効果も殆どなく、しきい値電圧 V_{th} の面内の均一性も向上した。

GaAs MES FETの非線形動作等の発生は、チャネルと半絶縁性基板との遷移領域に存在する深い準位(例えば E_L-2 等)の電子トラップの不安定動作によるという報告(前記文献)もあるが、発生原因についての完全な説明はなされていない。実施例ではチャネル層下部に設けたバックゲート効果抑制層の電位をドレイン電極の電位に固定したので、不安定な I_D-V_D 特性の非線形動作及びこのMES FETに近接して集積される電極電位からの影響を無くすることができた。尚前記の実施例はNチャネル型のMES FETであるが、P型チャネル型の場合には、注入不純物を各々前記の場合と逆になるよう選び、本発明を実施することにより高性能の半導体装置が得られる。

[発明の効果]

本発明のMES FETにおいては、チャネル層下部にチャネル層と反対の導電型の不純物を添

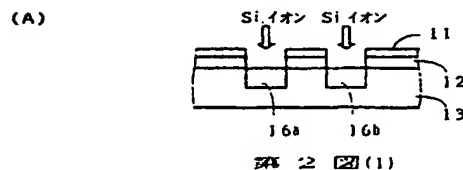
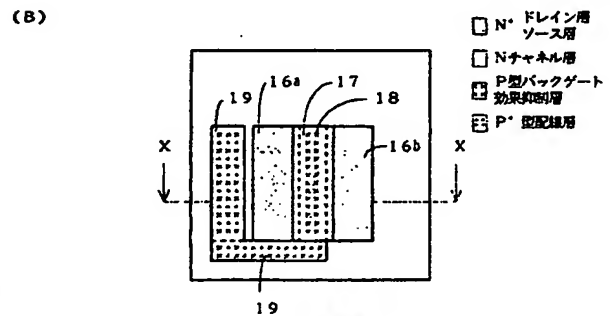
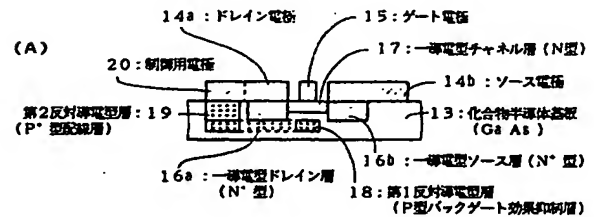
加し、形成された反対導電型層(バックゲート効果抑制層)の電位を所望電位に固定する構造即ち高濃度の配線層及びこれとオーミック接触をする制御電極を設けたことが特徴で、これにより従来技術では避けることのできなかったバックゲート或いはサイドゲート効果を解消し、ピンチオフ近傍のゲートバイアス条件における I_D-V_D 特性の非線形動作を抑制し、しきい値電圧 V_{th} の制御性及び面内均一性の向上が可能となった。

4. 図面の簡単な説明

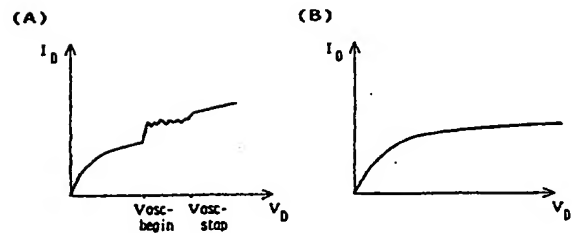
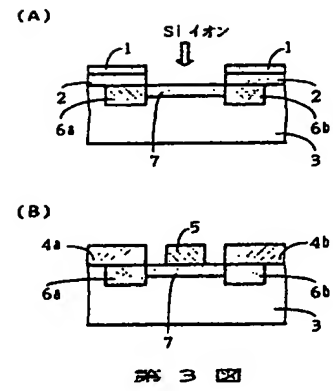
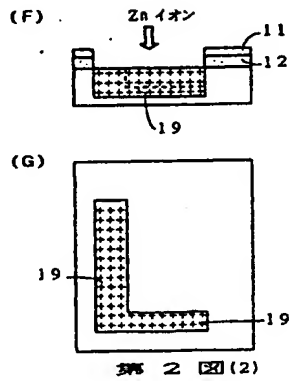
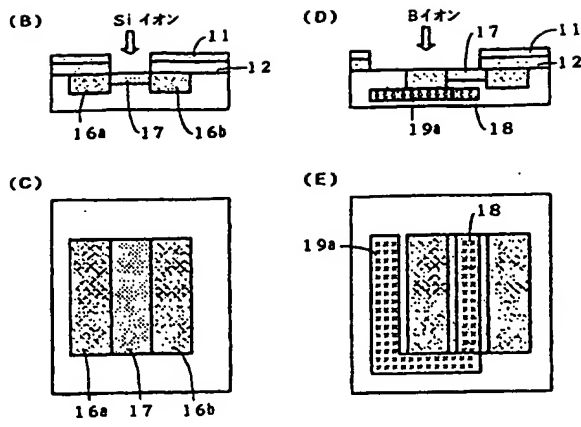
第1図(A)及び(B)は本発明の半導体装置の構造を示す断面図及び平面図、第2図(A)、(B)、(C)、(D)及び(F)は第1図の半導体装置の製造工程を示す断面図、第2図(C)、(E)及び(G)は第1図の半導体装置の製造工程を示す平面図、第3図(A)は従来の半導体装置の製造工程を示す断面図、第3図(B)は従来の半導体装置の断面図、第4図はGaAs MES FETのピンチオフ近傍における I_D-V_D 特性図で、第4図(A)は従来の、第4図(B)は本

発明のそれぞれの特性図、第5図はGaAs MES FETの動作回路図である。

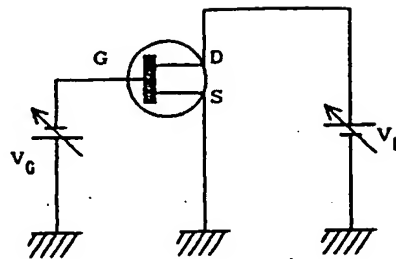
13…化合物半導体基板、14a…ドレイン電極、14b…ソース電極、15…ゲート電極、16a…一導電型ドレイン層、16b…一導電型ソース層、17…一導電型チャネル層、18…第1反対導電型層(P型バックゲート効果抑制層)、19…第2反対導電型層(P⁺型配線層)、20…制御用電極。



特許出願人 株式会社 東 芝
代理人 弁理士 諸田 英二



第 4 図



第 5 図